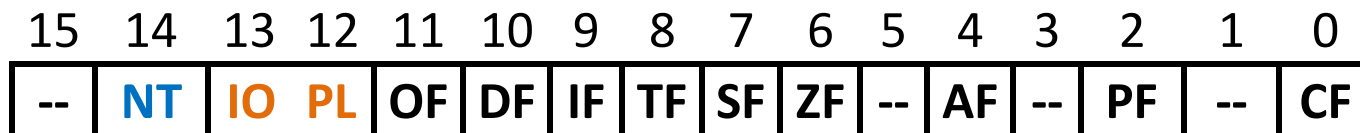


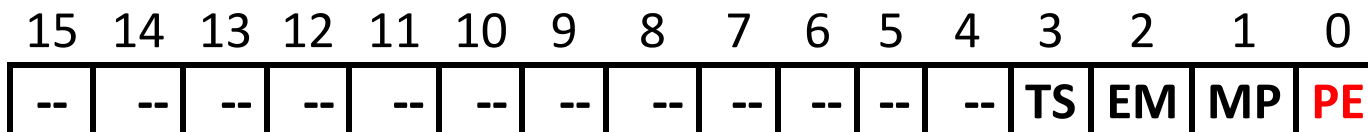
PRIVILEGOVANÝ REŽIM PROCESOROV x86

UNIVERZÁLNE REGISTRE

STAVOVÝ REGISTER (FLAGS)



RIADIACI REGISTER (MSW) = (CR0)

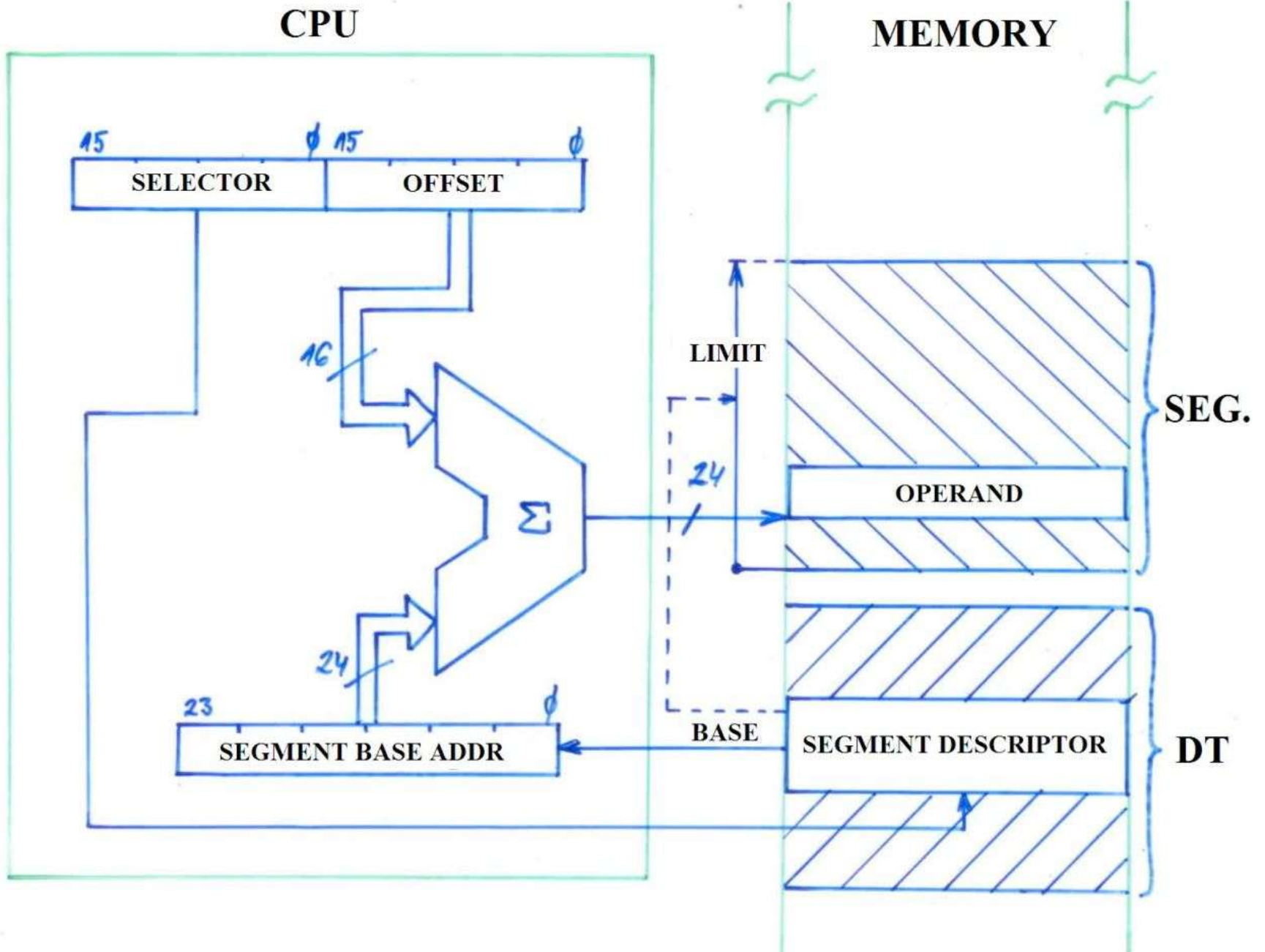


LOGICKÁ ADRESA V REÁLNOM MÓDE

SEGMENT : OFFSET

LOGICKÁ ADRESA V PRIVILEGOVANOM MÓDE

SELECTOR : OFFSET



TYP - BITY 3, 2, 1

3 $E = \emptyset$ STACK/DATA DESCRIPTOR

2 ED

1 W

3 $E = 1$ CODE DESCRIPTOR

2 C

1 R

SYSTÉMOVÉ DESKRIPTORY (S = 0, TYP = 1 - 3)

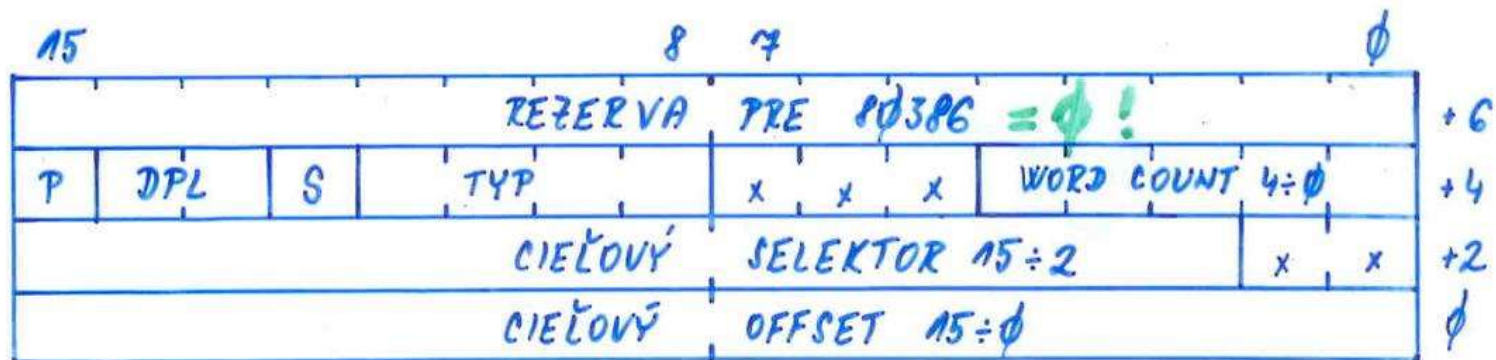
15			8	7	0	
REZERVA				PRE PRŮBĚ = 0!		+6
P	DPL	S	TYP	BAŤA 23 ÷ 16		+4
			BAŤA	15 ÷ 0		+2
			LIMIT	15 ÷ 0		0

TYP : 1 - AVAILABLE TSS

2 - LDT

3 - BUSY TSS

HRADLÁ (S = 0, TYP = 4 - 7)



- TYP :
- 4 CALL GATE
 - 5 TASK GATE
 - 6 INTERRUPT GATE
 - 7 TRAP GATE

- OBSLUHA PRERUŠENIA V PRIVILEGOVANOM REŽIME

FORMÁT SELEKTORA A KONTROLA PRÍSTUPOVÝCH PRÁV



CPL

PRÍSTUP K PROGRAMOM : $CPL \stackrel{!}{=} DPL$ ($C = \emptyset$)

$CPL \geq DPL$ ($C = 1$)

PRÍSTUP K ÚDAJOM : $EPL \leq DPL$

$EPL = \text{MAX}(CPL, RPL)$

PRÍSTUP K I/O : $CPL \leq IOPL$

